

PN - JP8330816 A 19961213
 PD - 1996-12-13
 PR - JP19950130714 19950529
 OPD - 1995-05-29
 TI - DIELECTRIC RESONATOR AND VOLTAGE CONTROL OSCILLATOR USING
 SAME
 IN - NAKATSUKA KENJI; NAKATSUGAWA MASAHIKO
 PA - ALPS ELECTRIC CO LTD
 IC - H01P7/08 ; H03B5/18
 ~ WPI / DERWENT

TI - Transverse EM mode type dielectric resonator e.g. for HF VCO
 - has inner conductor which serves as resonant conductor is
 formed at upper surface of slot that is arranged along
 longitudinal direction at centre of base material

PR - JP19950130714 19950529
 PN - JP8330816 A 19961213 DW199709 H01P7/08 007pp
 PA - (ALPS) ALPS ELECTRIC CO LTD
 IC - H01P7/08 ;H03B5/18

AB - J08330816 The resonator (16) has a column shaped armoured
 body (11) which is used as a ground conductor. The armoured body
 is provided at the lower and side surface of a dielectric ceramic
 base material (10). A slot (12) with semicircular cross section
 is arranged along a longitudinal direction at the centre of the
 base material.

- An inner conductor (13) which serves as a resonant conductor is
 provided at the upper surface of the slot. This conductor is
 installed such that it spreads into the core of the base
 material.

- ADVANTAGE - Prevents deviation of resonant frequency. Reduces
 leakage of EM waves by positioning conductor in semicircular
 slot.

- (Dwg.1/17)

OPD - 1995-05-29
 AN - 1997-093347 [09]

~ PAJ / JPO

PN - JP8330816 A 19961213
 PD - 1996-12-13
 AP - JP19950130714 19950529
 IN - NAKATSUKA KENJI; NAKATSUGAWA MASAHIKO
 PA - ALPS ELECTRIC CO LTD
 TI - DIELECTRIC RESONATOR AND VOLTAGE CONTROL OSCILLATOR USING
 SAME

AB - PURPOSE: To provide a dielectric resonator and a voltage
 control oscillator, which can reduce the deviation of a resonance
 frequency even if the conductor of a shielding cover approaches.

- CONSTITUTION: An outer conductor 11 as a ground conductor is
 provided so that it covers the lower surface and the side of a
 base material 10 formed in a prism by using dielectric ceramics.
 Furthermore, a groove 12 having a semicircular section form is
 provided in the longitudinal direction of a center on the upper
 surface of the base material 10. The inner conductor 13 as a
 resonance conductor is provided on the surface of the groove 12.
 The inner conductor 13 encroaches into the base material 10.
 Thus, the inner conductor 13 is impervious to influence by the
 conductor of the shielding cover from outside.

I - H01P7/08 ;H03B5/18

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-330816

(43) 公開日 平成8年(1996)12月13日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 P 7/08			H 0 1 P 7/08	
H 0 3 B 5/18		8731-5 J	H 0 3 B 5/18	D

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平7-130714

(22) 出願日 平成7年(1995)5月29日

(71) 出願人 000010098

アルプス電気株式会社
東京都大田区雪谷大塚町1番7号

(72) 発明者 中塚 健二

東京都大田区雪谷大塚町1番7号 アルプス電気株式会社内

(72) 発明者 中津川 雅彦

東京都大田区雪谷大塚町1番7号 アルプス電気株式会社内

(74) 代理人 弁理上 武 顕次郎 (外2名)

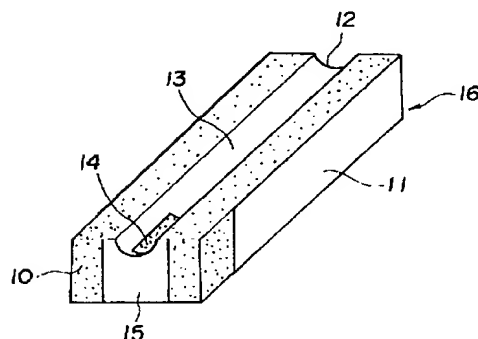
(54) 【発明の名称】 誘電体共振器及びこれを用いた電圧制御発振器

(57) 【要約】

【目的】 シールドカバー等の導電体が接近しても共振周波数のずれを低減することが可能な誘電体共振器及び電圧制御発振器を提供する。

【構成】 誘電体セラミックスを用いて角柱状に形成した基材10の下面及び側面に及ぶように接地導体としての外導体11を設ける。更に、半円形の断面形状を有した溝12を基材10の上面の中心の長手方向に設け、この溝12の表面に共振導体としての内導体13を設け、内導体13が基材10の内部に食い込む構造にする。これにより、内導体13は、シールドカバー等の導電体による外部からの影響が受け難くなる。

【図1】



【特許請求の範囲】

【請求項1】 誘電体を用いて柱状に形成し、その下面及び側面に外導体が設けられた基材と、この基材の上面の中心の長手方向に設けられた溝と、この溝の一部または全面に設けられた内導体とを具備することを特徴とする誘電体共振器。

【請求項2】 前記溝は半円形の断面形状を有し、前記内導体は前記半円形溝の全面に設けられたことを特徴とする請求項1記載の誘電体共振器。

【請求項3】 前記溝は方形の断面形状を有し、前記内導体は前記方形溝の底面又は方形溝の全面に設けられたことを特徴とする請求項1記載の誘電体共振器。

【請求項4】 誘電体を用いて柱状に形成した基材の下面及び側面に外導体が設けられると共に、前記基材の上面の中心の長手方向に設けられた溝の一部又は全面に内導体が設けられた誘電体共振器と、この誘電体共振器が前記溝を上に向けた状態で実装されると共に、発振回路が搭載された回路基板と、前記誘電体共振器を含む実装部品を覆う状態で前記回路基板に装着される導電性のシールドカバーと、を具備することを特徴とする電圧制御発振器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、柱状の誘電体にマイクロストリップ線路を形成し、TEMモード共振素子として用いる誘電体共振器、特に、高周波帯で使用される電圧制御発振器に適した誘電体共振器及びこれを用いた電圧制御発振器（以下、VCOという）に関するものである。

【0002】

【従来の技術】図15は従来の誘電体共振器を示す斜視図であり、同図に示すように、誘電体磁器等を用いて角柱状に加工された基材1の上面の中心線には、長手方向に沿って帯状に導電パターンによるマイクロストリップ線路2が形成されている。また、マイクロストリップ線路2が設けられている面の反対側の面（下面）の所定部分にはアース電極3が形成されている。

【0003】このような誘電体共振器は、マイクロストリップ線路2の長さによって共振周波数が特定され、TEMモード共振素子として動作する。このような誘電体共振器を回路基板上に実装して800MHz～2GHzの高周波帯におけるVCO回路等が構成される。

【0004】図17は誘電体共振器を用いて構成したVCOの概略を示す斜視図であり、説明のために一部を破断した図である。VCO4は、集積回路等の半導体素子、コンデンサ、抵抗、コイル等の電子部品（不図示）が実装されたVCO回路基板5を主体に構成されており、このVCO回路基板5上には、誘電体共振器6が実装されている。この誘電体共振器6は、実装状況や製品ばらつきによって共振周波数を仕様書等の通りに作れる

とは限らないため、誘電体共振器6の上面にトリミング軌跡7（レーザ加工機等を用いて作成する）を付けることにより周波数調整が行われる。

【0005】VCO回路基板5に対して実装すべき部品の装着が完了した段階で、金属製のシールドカバー8（真鍮板、銅板等を加工して製作し、或いは合成樹脂成形品の内面に導電塗料または導電メッキを施す）がVCO回路基板5を覆うように装着される。

【0006】

【発明が解決しようとする課題】誘電体共振器は誘電率の高い誘電セラミックスを用いれば小型化が図れるため、VCOの薄型化に最適であるが、上記した従来の誘電体共振器にあっては、共振周波数が1GHz以上になると、マイクロストリップ線路からの電磁界の漏れが大きくなる。このため、誘電体共振器の配置が悪かったり、シールドカバーが小さかったりしてシールドカバーと誘電体共振器が接近した場合、図16に示すような電磁界分布9になり、マイクロストリップ線路からの電磁界の漏れは無視できなくなり、シールドカバーの影響によって共振周波数のずれが大きくなる。更に、放射損を増大させ、Qを低下させる。

【0007】例えば、高さ20mm程度のVCOを構成する場合、1.6GHz帯でシールドカバー装着前後の共振周波数の変化は、約100MHzになる。このため、組立時のVCOの発振周波数のばらつきが大きく、又、組立後の機械的な変形等によるVCO性能を変化させる可能性がある。

【0008】本発明は、シールドカバー等の導電体が接近した配置に起因する共振周波数のずれを低減することが可能な誘電体共振器及びこれを用いた電圧制御発振器を提供することを目的としている。

【0009】

【課題を解決するための手段】上記の目的を達成するために、この発明は、誘電体を用いて柱状に形成し、その下面及び側面に外導体が設けられた基材と、この基材の上面の中心の長手方向に設けられた溝と、この溝の一部又は全面に設けられた内導体とを備えた構成にしている。この構成においては、前記溝は、半円形又は方形の断面形状にすることができる。また、前記内導体は、前記半円形溝の全面に設けることができる。更には、前記内導体は、前記方形溝の底面又は方形溝の全面に設けることができる。

【0010】また、上記の目的は、誘電体を用いて柱状に形成した基材の下面及び側面に外導体が設けられると共に、前記基材の上面の中心の長手方向に設けられた溝の一部又は全面に内導体が設けられた誘電体共振器と、この誘電体共振器が前記溝を上に向けた状態で実装されると共に、発振回路が搭載された回路基板と、前記誘電体共振器を含む実装部品を覆う状態で前記回路基板に装着される導電性のシールドカバーとを備えた構成によっ

でも達成される。

【0011】

【作用】上記した手段によれば、誘電体共振器は、誘電体で作られた基材の上面に溝を設け、この溝内に共振導体としての内導体を設けたことにより、内導体の位置が基材上面から下がった誘電体内に位置する結果、その深さ分だけ電磁波は基材内部に多く放射され、誘電体共振器の外へ漏れる電磁波を低減することができる。更に、内導体が側面外導体の上端より低い位置にあるため、この誘電体共振器を回路基板に実装し、導電性のカバーを装着した場合でも、カバーの影響を受け難くすることができ、共振周波数のずれを低減することができる。半円形又は方形の断面形状に加工された溝は、内導体の形成位置を側面外導体の上端より低くすることができ、導電性のカバー等による外部の影響を低減することができる。また、漏れ電磁波を低減することができる。そして、溝の底面にのみ内導体を形成した場合、外部に対する露出面積が小さくなり、シールドカバー等の外部の導電体の影響を受け難くなる。また、溝の側面にも内導体を設けた場合、この側面に対峙する誘電体板を通して電磁界が外導体に対して結合し易くなり、漏れ電磁波を低減することができる。上記した他の手段によれば、上面に溝を設け、この溝内に導電体を設けた構成の誘電体共振器を他の電子部品と共に回路基板上に実装することにより共振周波数を特定の周波数に固定できる。また、シールドカバーを設けても、溝内に設けられた内導体は電磁波の殆どを共振器内に分布させ、共振周波数のずれを低減することができる。

【0012】

【実施例】以下、本発明の実施例を図面に基づいて説明する。

【0013】（第1実施例）図1は本発明による誘電体共振器の第1実施例を示す斜視図である。また、図2は図1の実施例の断面図である。更に、図3は図1の誘電体共振器16を主要な部品の1つとして実装しているVCOの構成の一部を示す斜視図を示している。

【0014】誘電体共振器16は、誘電体磁器等のセラミックス材を角柱状に加工した基材10の下面及び両側面に、接地導体となる金属被膜で成る外導体11（接地導体）が無電解メッキ等の技術を用いて設けられている。更に、基材10の上面の中心部には長手方向に半円形の溝12が形成され、この溝12の表面には無電解メッキ等により金属被膜で成る内導体13（共振導体）が形成されている。なお、実装後に共振周波数を微調整するため、溝12の端部には、内導体13の一部を削り落してトリミング軌跡14を施すことができる。また、基材10の一端面には、内導体13と基板面の回路とを接続するための電極15が形成されている。

【0015】このような構成による誘電体共振器16は、図3に示すように、VCO回路基板17上に半円

（図示せず）を介して実装される。VCO回路基板17上には、チップ部品18、トランジスタ19、ダイオード20等の発振回路を構成するために必要な電子部品の全てが実装されている。VCO回路基板17には、誘電体共振器16及び電子部品を覆うようにシールドカバー（図示せず）が装着され、静電遮蔽によってノイズや不要輻射の低減が図られる。そして、シールドカバーの上面には、これを外すことなくトリミング軌跡14を設ける（例えば、レーザビームにより内導体の一部を削除する）ことができるように、トリミング軌跡14に沿った細長い開口が設けられている（図示せず）。

【0016】上記したように、金属等の導電性のシールドカバーを装着する場合、VCO全体の小型化を図るため、シールドカバーの高さは小さくせざるを得ない。このため、シールドカバーと誘電体共振器が接近し、電磁界の漏れや周波数ずれを招くことは避けられない。

【0017】しかし、図1の実施例によれば、基材10に食い込むように溝12が設けられ、この溝12の表面に内導体13が設けられているため、内導体13の両側を外導体11で挟む形になり、従来構造に比べてシールド効果が高い。この結果、図3のようにVCO回路基板17に実装した場合でも、シールドカバーによる対地容量の変化が小さくなり、共振周波数のずれを低減することができる。

【0018】また、内導体13は基材10内に食い込んでいるため、図2の水平方向に対しても電磁波が放射され、その分だけ内導体13から基材10内に放射される電磁界の量が増えることになり、誘電体共振器16の外側に漏れる電磁界が少ない。

【0019】そして、基本的にはマイクロストリップ線路型の共振器でありながら、同軸型の要素を併せもち、内導体はシールドカバー等の影響を受け難くなるため、シールドカバーとの距離を小さくでき、従ってVCO等の装置を小型化することができる。

【0020】（第2実施例）図4は本発明の第2実施例を示す斜視図である。また、図5は図4の実施例の断面図、図6は第2実施例の電磁界の模式的な分布を示す説明図である。

【0021】本実施例は、図4及び図5に示すように、誘電体磁器等を角柱状に加工した基材10の下面及び両側面に接地導体となる外導体11が無電解メッキ等により設けられている。更に、基材10の上面の中心部には長手方向に“コ”の字形断面形状を有する溝21が形成され、この溝21の表面（底面及び両側面）には無電解メッキ等により内導体22が形成されている。なお、この実施例においても、VCO回路基板へ実装後、共振周波数を微調整するため、溝21の端部にはトリミング（図示せず）を施すことができる。

【0022】このような構成の誘電体共振器23を図3に示したようにVCO回路基板17に実装し、シールド

カバーを装着すれば、その電磁界の分布26は図6に示すように、溝21が基材10の内部に食い込んでいる分だけ従来構造に比べて多くなる。すなわち、内導体22は溝21の両側壁面にも形成されているため、この側壁面から対峙する誘電体に向かって電磁波が放射され、その分だけ内導体22から基材10内に放射される電磁界の量が増える結果、誘電体共振器23から外部に漏れる電磁界が少ない。

【0023】(第3実施例)図7は本発明の第3実施例を示す斜視図である。また、図8は図7の実施例の断面図、図9は第3実施例の電磁界の模式的な分布を示す説明図である。なお、本実施例は、基本的構成は図4の第2実施例と同一であり、よって、重複する部分についての説明は省略する。

【0024】本実施例が図4の構成と異なるところは、溝21内に設けた導体の形成構造にある。すなわち、図8に示すように、溝21の底面にのみ内導体24を設けた構成にし、外部に対する内導体の露出面積が小さくなるようにしている。このように、内導体24は両側壁面に設けられていないため、シールドカバー等の導電体が誘電体共振器23に接近した場合でもその影響を受け難く、これにより、共振周波数のずれを小さくすることができる。

【0025】この実施例による電磁界の分布26は図9に示す如くである。この実施例によれば、図4の実施例より以上に、内導体24が基材10の内部深くに位置しているため、内導体24から基材10内に放射される電磁界の量は多くなり、その分だけ誘電体共振器23から外部に漏れる電磁界が少ない。

【0026】(第4実施例)図10は本発明の第4実施例を示す斜視図である。また、図11は図10の実施例の断面図、図12は第4実施例の電磁界の模式的な分布を示す説明図である。なお、本実施例は、基本的構成は図7の第3実施例と同一であり、従って、重複する部分についての説明は省略する。

【0027】本実施例が図7の構成と異なるところは、外導体の形成構造にある。すなわち、図10に示すように、外導体11を基材10の上面にまで延ばし、シールド電極11aを設けたところにある。このシールド電極11aの一部を削り落とすことにより、共振周波数調整を行うことができる(このシールド電極11aを削り落した場合、内導体24の削り落しは不要になる)。

【0028】本実施例による電磁界の分布26を模式的に示したのが図12であり、図7の実施例と同様に、電磁界の殆どを内導体24から基材10へ放射させることができる。特に、外導体11に接続されるシールド電極11aを基材10の上面にまで設けているため、シールドカバーの影響を更に低減でき、共振周波数のずれを低減することができる。また、第3実施例と同様に、内導体24の設置位置が基材10内にあるため、誘電体共振

器23から外部に漏れる電磁界が少ない。

【0029】この実施例においても、溝21の底面にのみ内導体24を設け、側壁面には内導体を設けない構成であるため、外部に対する内導体の露出面積が小さい。この結果、シールドカバー等の導電体が誘電体共振器23に接近した場合でも、その影響を受け難くなり、共振周波数のずれを小さくすることができる。

【0030】(第5実施例)図13は本発明の第5実施例を示す斜視図である。また、図14は図13の実施例の断面図である。なお、本実施例は、基本的構成は図4の第2実施例と同一であるので、重複する部分についての説明は省略する。

【0031】この実施例が図4の第2実施例の構成と異なるところは、外導体の形成構造にある。すなわち、図13に示すように、外導体11を基材10の上面の一部を覆うように設けて内導体22に接続し、この部分を周波数調整電極11bとし、共振周波数を調整できるようにした構成にある。

【0032】この実施例による電磁界の分布は図6と同様であり、上記した図4の実施例と同様に、電磁界の殆どを内導体22から基材10へ放射させることができ、図4の実施例と同様に誘電体共振器23から外部に漏れる電磁界が少ないと共に、内導体22の両側に外導体11によるシールド板が立てられた状態になるため、共振周波数のずれを小さくすることができる。

【0033】なお、上記各実施例においては、溝の形状を半円形又は方形の断面形状を有するものとしたが、他の断面形状、例えば、逆台形、逆三角形、U字形等であってもよい。

【0034】また、前記各実施例においては、基材に高誘電率、高Qを備え、更に温度特性に優れる誘電体磁器を用いて小型化を図ったが、この他、アルミナ磁器を用いることもできる。

【0035】

【発明の効果】以上説明したように、本発明によれば、誘電体を用いて柱状に形成し、その下面及び側面に外導体が設けられた基材と、この基材の上面の中心の長手方向に設けられた溝と、この溝の一部又は全面に設けられた内導体とを備えた構成にしたので、誘電体共振器の外へ漏れる電磁界を低減することができる。そして、電圧制御共振器等に実装し、導電性のカバーを装着した場合でも、共振周波数のずれを低減することができる。半円形又は凹部の断面形状を有する溝は、導体が基材の上面から下がった誘電体内に位置する結果、電磁波が基材内に多く放射できるように機能する。したがって、漏れ電磁界を低減することができる。内導体が半円形溝の全面に設けられることにより、水平方向に対しても電磁界が放射され、漏れ電磁界の低減に寄与することができる。同様に、内導体が凹部溝の底面又は内面全体に設けられることにより、底面のみに設けた場合には外部の影響を

7

低減して周波数ずれが小さく、内面全体に設けた場合には水平方向に対しても電磁波が放射され、漏れ電磁界を低減することができる。

【0036】また、このような誘電体共振器が前記溝を上に向けた状態で実装されると共に電圧制御発振回路が搭載された回路基板と、前記誘電体共振器を含む実装部品を覆う状態で前記回路基板に装着される導電性のシールドカバーとを備えた電圧制御発振器は、誘電体共振器の溝内に設けられた内導体が電磁界の殆どを共振器内に分布させ、シールドカバーを設けても発振周波数のずれを低減することができる。

【図面の簡単な説明】

【図1】本発明による誘電体共振器の第1実施例を示す斜視図である。

【図2】図1の実施例の断面図である。

【図3】本発明による誘電体共振器を採用した電圧制御発振器の概要を示す斜視図である。

【図4】本発明の第2実施例を示す斜視図である。

【図5】図4の実施例の断面図である。

【図6】本発明の第2実施例の電磁界の模式的な分布を示す説明図である。

【図7】本発明の第3実施例を示す斜視図である。

8

【図8】図7の実施例の断面図である。

【図9】本発明の第3実施例の電磁界の模式的な分布を示す説明図である。

【図10】本発明の第4実施例を示す斜視図である。

【図11】図10の実施例の断面図である。

【図12】本発明の第4実施例の電磁界の模式的な分布を示す説明図である。

【図13】本発明の第5実施例を示す斜視図である。

【図14】図13の実施例の断面図である。

【図15】従来の誘電体共振器を示す斜視図である。

【図16】図15の誘電体共振器の電磁界の模式的な分布を示す説明図である。

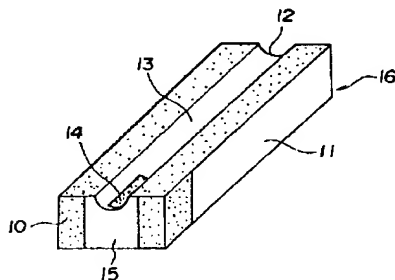
【図17】誘電体共振器を用いて構成した電圧制御発振器の概略を示す斜視図である。

【符号の説明】

- 10 基材
- 11 外導体
- 12, 21 溝
- 13, 22, 24 内導体
- 16, 23 誘電体共振器
- 17 VCO回路基板
- 25 シールドカバー

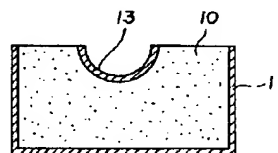
【図1】

【図1】



【図2】

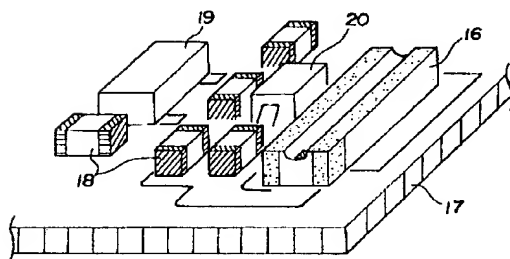
【図2】



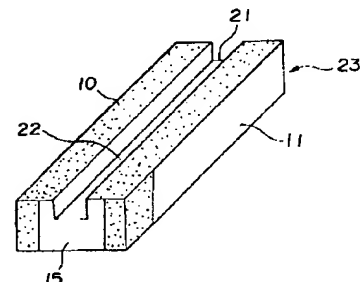
【図4】

【図3】

【図3】

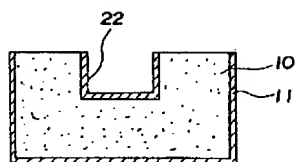


【図4】



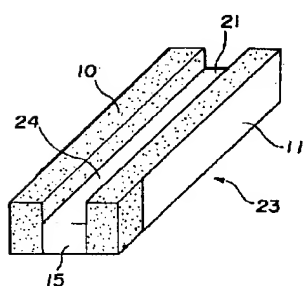
【図5】

【図5】



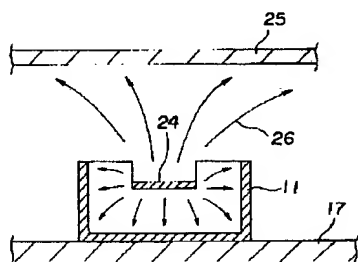
【図7】

【図7】



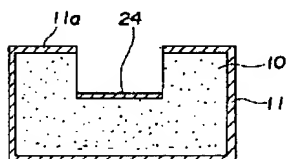
【図9】

【図9】



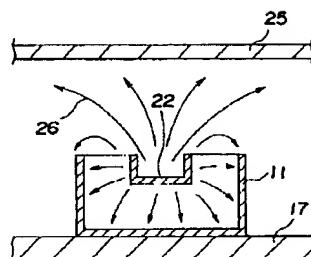
【図11】

【図11】



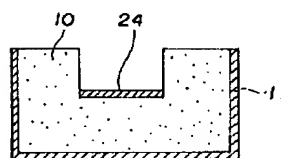
【図6】

【図6】



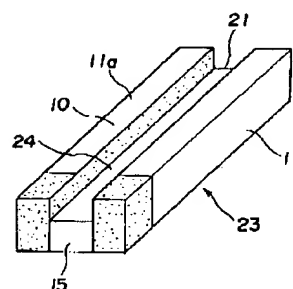
【図8】

【図8】



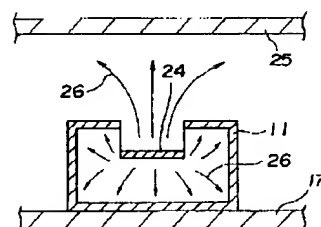
【図10】

【図10】



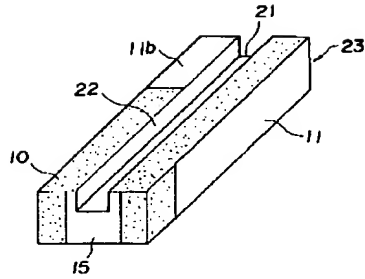
【図12】

【図12】



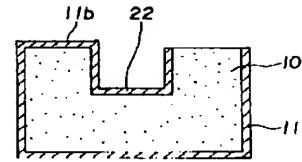
【図13】

【図13】



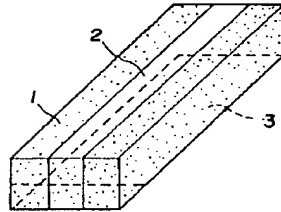
【図14】

【図14】



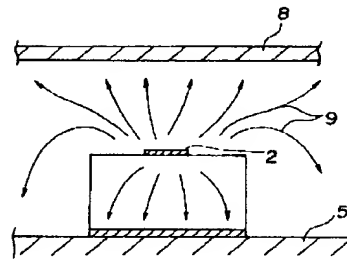
【図15】

【図15】



【図16】

【図16】



【図17】

【図17】

